

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-307037
(P2000-307037A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 23/32		H 0 1 L 23/32	D
23/52		23/52	C

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平11-114864

(22) 出願日 平成11年4月22日 (1999.4.22)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 柳田 敏治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 西山 和夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

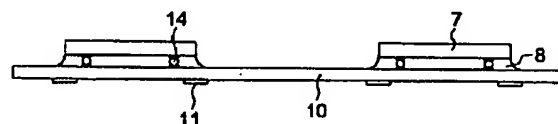
(54) 【発明の名称】 半導体デバイス部品の実装構造およびその実装方法

(57) 【要約】

【課題】 半導体デバイス装置の高密度な3次元実装を実現し、高速高周波デバイスにおける信号遅延を顕在化させることのない半導体デバイス部品の実装構造およびその実装方法を提供する。

【解決手段】 少なくとも20.0 μ m以下の厚みまで裏面が薄型化加工された突起電極付き半導体チップ7を、フレキシブル中間基板10にフリップチップ実装し、この中間基板を湾曲させて半導体チップの裏面同士を接着剤15で接着固定した状態で、プリント配線基板16に実装する。

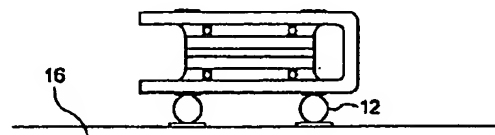
(a)



(b)



(c)



1

【特許請求の範囲】

【請求項 1】 少なくとも $200\mu\text{m}$ 以下の厚みまで裏面が薄型化加工された突起電極付き半導体チップを、フレキシブル中間基板にフリップチップ実装し、この中間基板を湾曲させて半導体チップの裏面同士を接着固定した状態で、プリント配線基板に実装してなることを特徴とする半導体デバイス部品の実装構造。

【請求項 2】 少なくとも $200\mu\text{m}$ 以下の厚みまで裏面が薄型化加工された突起電極付き半導体チップを、予め用意したフレキシブル中間基板にフリップチップ実装する第 1 工程と、

該第 1 工程でフリップチップ実装後の中間基板を湾曲させて半導体チップの裏面同士を接着固定した状態で、プリント配線基板に実装する第 2 工程と、を有することを特徴とする半導体デバイス部品の実装方法。

【請求項 3】 前記請求項 1 に記載の半導体デバイス部品のフレキシブル中間基板の裏側の外部接続端子に、少なくとも高さ $300\mu\text{m}$ 以下の突起電極（アウターバン）を形成して、この突起電極をプリント配線基板に複数枚積層実装してなることを特徴とする半導体デバイス部品の実装構造。

【請求項 4】 前記請求項 1 に記載の半導体デバイス部品のフレキシブル中間基板の裏側の外部接続端子に、少なくとも高さ $300\mu\text{m}$ 以下の突起電極（アウターバン）を形成する第 1 工程と、

該第 1 工程で形成した突起電極をプリント配線基板に複数枚積層実装する第 2 工程と、を有することを特徴とする半導体デバイス部品の実装方法。

【請求項 5】 前記請求項 1 または請求項 3 に記載の半導体デバイス部品が、少なくとも前記フレキシブル中間基板の両面に対して、 $200\mu\text{m}$ 以下の厚みまで裏面が薄型化加工された、突起電極付き半導体チップをフリップチップ実装してなることを特徴とする半導体デバイス部品の実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体デバイス部品の実装構造およびその実装方法に関し、特に電子機器の超薄型軽量化、高機能化を実現するための半導体デバイスの 3 次元実装構造およびその実装方法に関する。

【0002】

【従来の技術】 電子機器の小型化をより一層進展させるためには、部品実装密度を如何に向上させるかが重要なポイントとなる。半導体 IC に関しても、従来のパッケージ実装の代替として、フリップチップ実装等の如くプリント配線基板に LSI チップを直接マウントする様な高密度実装技術の開発が世の中で盛んに行なわれている。

【0003】 フリップチップによる接続法の一つとして、半導体 IC の A1 電極パッド上にはんだボールバン

2

プを形成して、実装する方法がある。このはんだバンパを所定の電極上に形成する方法としては、電解メッキを用いた方法もあるが、この場合、下地材料層の表面状態や電気抵抗のわずかなバラツキによって成膜されるはんだの厚みが影響を受け、IC チップ内で均一に高さの揃ったはんだボールバンプの形成を行なうことが基本的に難しいという問題がある。

【0004】 この様なはんだの高さバラツキを抑制できる製法としては、真空蒸着による成膜とフォトリソ膜のリフトオフとを用いたパターン形成方法がある。この方法によるはんだボールバンプの製造工程の一例を、図 1 を借りて以下に説明する。

【0005】 図 1 に示すように、フリップチップ IC の接合部は、シリコン等の半導体基体 1 上に Al-Cu 合金等の電極パッド 2 をスパッタリングやエッチングを用いて形成し、更にシリコン窒化膜やポリイミド等によって表面保護膜 3 を全面に被覆した後、電極パッド 2 上に開口部を形成して、BLM (Ball Limiting Metal) 膜 4 と称せられる Cr, Cu, Au 等から成る金属多層膜をスパッタ成膜する (図 1 (a) 参照)。

【0006】 そして、この BLM 膜 4 の上に、開口部 5 を有するレジストパターン 6 を形成し (図 1 (b) 参照)、ウェハ 22 (図 2 参照) 全面にはんだ蒸着膜 13 を成膜して (図 1 (c))、レジストのリフトオフによって不要なはんだ膜を除去することで所望のパターン形成を行なった後 (図 1 (d))、熱処理を加えてはんだを溶融させることで、最終的に図 1 (e) に示す様な、はんだボールバンプ 14 が形成される。

【0007】 こうした本発明者らが提案してきた製造技術を用いてバンプが形成された半導体チップをプリント配線基板にフリップチップ実装することで、従来のモールド樹脂でパッケージングされたデバイスを実装した場合に比べて、マザー基板を小型化できるため、様々な電子機器の小型軽量化の実現に貢献している。

【0008】 また、半導体デバイスの積層 3 次元実装法として、これまでに提案されている代表的なものは、例えば特開平 6-244360、特開昭 60-94756 号公報等に開示されている様なものであり (図 8 に概略を示す)、半導体チップをフェースアップで重ねて、電極の接続は従来のワイヤボンディング技術を利用するのが最近実用化され始めている。

【0009】

【発明が解決しようとする課題】 しかしながら、従来技術の前半で説明した件に関して IC カード、携帯電話、PDA (Personal Digital Assistant) 等を初めとする携帯電子機器については、デバイスの実装スペースはできる限り少なくしたいところであり、これまで主として目指してきた 2 次元的な小型省スペース化に加えて、高さ方向にも更なる薄型化ができるような半導体デバイスの高密度な 3 次元実装技術を確立して、より一層の高

3

機能化を実現することが切望されている。

【0010】また、従来技術の後半で説明した件では、ワイヤボンディングの引き回しのために余分な実装スペースを必要としたり、長いワイヤ配線部でのインダクタンスが将来の高速高周波デバイスでは信号遅延を顕在化させる等の欠点を有していた。

【0011】そこで本発明の課題は、半導体デバイス装置の高密度な3次元実装を実現し、高速高周波デバイスにおける信号遅延を顕在化させることのない半導体デバイス部品の実装構造およびその実装方法を提供することである。

【0012】

【課題を解決するための手段】前記課題を解決するために、本発明の半導体デバイス部品の実装構造は、少なくとも200 μ m以下の厚みまで裏面が薄型化加工された突起電極付き半導体チップを、フレキシブル中間基板にフリップチップ実装し、この中間基板を湾曲させて半導体チップの裏面同士を接着固定した状態で、プリント配線基板に実装してなることを特徴とする。

【0013】また、本発明の半導体デバイス部品の実装方法は、少なくとも200 μ m以下の厚みまで裏面が薄型化加工された突起電極付き半導体チップを、予め用意したフレキシブル中間基板にフリップチップ実装する第1工程と、該第1工程でフリップチップ実装後の中間基板を湾曲させて半導体チップの裏面同士を接着固定した状態で、プリント配線基板に実装する第2工程と、を有することを特徴とする。

【0014】また、本発明の半導体デバイス部品の実装構造は、前記記載の半導体デバイス部品のフレキシブル中間基板の裏側の外部接続端子に、少なくとも高さ300 μ m以下の突起電極（アウターバンプ）を形成して、この突起電極をプリント配線基板に複数枚積層実装してなることを特徴とする。

【0015】さらに、本発明の半導体デバイス部品の実装方法は、前記記載の半導体デバイス部品のフレキシブル中間基板の裏側の外部接続端子に、少なくとも高さ300 μ m以下の突起電極（アウターバンプ）を形成する第1工程と、該第1工程で形成した突起電極をプリント配線基板に複数枚積層実装する第2工程と、を有することを特徴とする。

【0016】さらに、本発明の半導体デバイス部品の実装構造は、前記記載の半導体デバイス部品が、少なくとも前記フレキシブル中間基板の両面に対して、200 μ m以下の厚みまで裏面が薄型化加工された、突起電極付き半導体チップをフリップチップ実装してなることを特徴とする。

【0017】このようにすれば、例えばフレキシブル中間基板を半導体チップが実装されていない部分で湾曲させて、チップ同士を裏面で接着固定することにより、一つの高機能部品モジュールを薄く作製できる。更に、こ

4

れをプリント配線（マザー）基板に実装することで、部品実装高さを増加することなく、また半導体チップ間の配線長を短縮してインダクタンスを抑えた高速信号処理が可能な、高機能半導体デバイスの薄型高密度3次元実装を実現できる。

【0018】

【発明の実施の形態】以下、本発明を図示の実施の形態に基づいて説明する。

【0019】[1] 全体説明

10 本発明は、電子機器の製造分野等において適用される半導体デバイスの実装技術に関し、特に電子機器の超薄型軽量化、高機能化を実現するための半導体デバイスの3次元実装構造およびその製造方法に関する。

【0020】すなわち、第1の発明にかかる半導体デバイス部品の実装方法は、少なくとも200 μ m以下の厚みまで裏面が薄型化加工された、突起電極付き半導体チップを、ポリイミド樹脂等からなるフレキシブル中間基板にフリップチップ実装し、この中間基板を湾曲させて半導体チップの裏面同士を接着した状態で、プリント配線基板に実装することを特徴とする。

【0021】本発明のポイントは、電子機器の超小型化、超薄型化、高機能化を実現するための半導体デバイス部品の薄型高密度実装手段を提供することにある。

【0022】具体的には、LSI形成後の半導体ウェハに対して、機械研削（グラインド）、化学的機械研磨（ケミカルメカニカルポリッシュ）、エッチング等の処理によって、裏面から厚さ200 μ m以下にまで薄型化加工した後にダイシングして形成した薄型半導体チップを、ポリイミド樹脂、エポキシ樹脂等を主原料とする軟性の薄型フレキシブル中間基板にフリップチップ実装する。

【0023】そして、このフレキシブル中間基板を半導体チップが実装されていない部分で湾曲させて、チップ同士を裏面で接着固定することにより、一つの高機能部品モジュールを薄く作製できる。

【0024】更に、これをプリント配線（マザー）基板に実装することで、部品実装高さを増加することなく、また半導体チップ間の配線長を短縮してインダクタンスを抑えた高速信号処理が可能な、高機能半導体デバイスの薄型高密度3次元実装を実現できる。

40 【0025】また、第2の発明にかかる半導体デバイス部品の実装方法は、前記第1の発明に記載の半導体デバイス部品のフレキシブル中間基板の裏側の外部接続端子に、少なくとも高さ300 μ m以下の突起電極（アウターバンプ）を形成して、これをプリント配線基板に複数枚積層実装することを特徴とする。

50 【0026】本発明のポイントは、前述の薄型半導体チップをフリップチップ実装したフレキシブル中間基板を湾曲・固定し、これを一つのモジュールとして、複数個位置合わせの上でプリント配線基板上に積層実装するこ

5

とで、より一層高機能な半導体デバイスの高密度 3 次元実装を実現することにある。

【0027】また、その際には、フレキシブル中間基板の裏面に予め設けた外部接続端子に、高さ 300 μm 以下の突起電極を設けることにより、半導体チップの多段積層を行なう際に、余分な空間を排除して最小限の実装高さで、効率の良い高密度の 3 次元実装を実現する。

【0028】これにより、半導体デバイス部品のより一層の高機能化を積層 3 次元実装で実現し、更にその際に、部品実装高さを極力低く抑えることができるため、最終的な電子機器の製品セットをより一層小型軽薄化することができるようになる。

【0029】さらに、第 3 の発明にかかる半導体デバイス部品の実装方法は、前記第 1 または第 2 の発明に記載の半導体デバイス部品が、少なくとも該フレキシブル中間基板の両面に対して、200 μm 以下の厚みまで裏面が薄型化加工された、突起電極付き半導体チップをフリップチップ実装したものであることを特徴とする。

【0030】本発明は、更に高機能な半導体デバイス部品の製造手段を提供する。具体的には、前述した発明におけるフレキシブル中間基板の両面に対して、薄型化加工を施した半導体チップをフリップチップ実装し、この両面にチップが実装された中間基板を、半導体チップが実装されていない部分で湾曲させて、チップ同士を裏面で接着固定することにより、先の発明以上の個数の半導体チップを搭載した、より一層高機能な薄型部品モジュールを作製できるようになる。

【0031】更に、これをプリント配線（マザー）基板に実装することで、先の発明と同様に、部品実装高さをさほど増加することなく、また半導体チップ間の配線長を短縮してインダクタンスを抑えた高速信号処理が可能な、高機能半導体デバイスの薄型高密度 3 次元実装を実現できる。

【0032】そして更に、この両面に薄型半導体チップをフリップチップ実装してフレキシブル中間基板を湾曲・固定したものを一つのモジュールとして、前述の発明と同様、位置合わせの上で複数個プリント配線基板に積層実装することで、より一層高機能な半導体デバイスの高密度 3 次元実装を実現できる。

【0033】また、その際にも、フレキシブル中間基板のチップ外周部に設けた外部接続端子に、高さ 300 μm 以下の突起電極を設けることにより、半導体チップの多段積層を行なう際に、余分な空間を排除して最小限の実装高さで、効率の良い高密度の 3 次元実装が行なえる。

【0034】以上の発明により、部品実装高さを極力低く抑えた半導体デバイス部品の積層 3 次元実装で、より一層の高集積化を実現できるため、最終的な電子機器の製品セットをより一層高機能化した上で、小型軽薄化することができるようになる。

6

【0035】[II] 実施例の説明

以下、本発明の好適な実施例について、図面を参照しながら説明する。

【0036】(1) 第 1 実施例

本実施例は、半導体デバイス部品の実装工程に、本願の発明を適用したものであり、機械研削と化学的機械研磨を用いて、バンプ形成後の半導体ウェハの裏面薄型化加工を行なった後、薄型半導体チップをポリイミド基材の薄型フレキシブル中間基板にフリップチップ実装し、更にこれを湾曲させてチップ裏面で接着固定したものを部品モジュールとしてマザー基板に実装した例を、図 1 ～ 図 4 を参照しながら説明する。

【0037】本実施例においてサンプルとして使用したウェハは、概略図 1 に示したプロセスフローを経て最終的にボールバンプが形成されたもの（図 1 (e)）と同一である。

【0038】具体的には、半導体基体 1 の A1 電極パッド 2 上の BLM 膜 4 を下地として、ポリイミド膜パターン開口部に高さ約 60 μm の高融点はんだのボールバンプ 14 が形成された状態のものである。この状態の半導体ウェハを図 2 に示す様な機械研削（グラインド）加工装置にセットし、一例として、以下の条件でウェハの裏面を研削（バックグラインド）加工した。

砥石送り速度：150 $\mu\text{m}/\text{min}$

砥石回転数：2500 rpm

研削後のウェハ厚：110 μm （削り代：約 510 μm ）

【0039】この結果、ウェハ前工程やバンプ形成工程の数多くのプロセス工程を経て、ウェハ裏面に不可避免的に形成されていたキズが研削除去されながら、シリコンウェハが厚み 110 μm まで薄型加工された。

【0040】次に、この裏面研削加工後の薄型ウェハを、図 3 に示す様な化学的機械研磨（ケミカルメカニカルポリッシュ）装置にセットし、一例として以下の条件で、ウェハの裏面にポリッシュ研磨による仕上げ処理を行なった。

ウェハ回転速度：80 rpm

テーブル回転速度：80 rpm

研磨圧力：400 g/cm^2

揺動速度：2 mm/sec

スラリー供給速度：40 ml/min

削り代：10 μm

【0041】この結果、ウェハ裏面に新たに形成されていた研削ダメージが除去されて、厚さ 100 μm まで薄型化加工されたシリコンウェハの機械的強度を向上させることができた。

【0042】そして次に、この薄型化加工したウェハをダイシングして半導体チップを切り出して、ポリイミド等を基材とした厚さ約 50 μm のフレキシブル中間基板にフリップチップ実装し（図 4 (a)）、更にこの中間

基板をチップが実装されていない領域で湾曲させて、チップの裏面同士を絶縁性ペースト等の接着剤で接着固定することにより、半導体チップを2枚搭載した薄型高機能部品モジュールが完成した(図4(b))。

【0043】最後に、こうして作製した薄型高機能部品モジュールを位置合わせの上で、マザーのプリント配線基板に実装することにより、図4(c)に示す様に、実装高さを抑えた高密度の積層3次元実装を実現することができた。

【0044】また、本実施例によって作製された半導体デバイスは、半導体チップ間の配線の引き回し長さが従来技術のもの(ワイヤ接続の積層実装等)に比べて極端に短くすることができるため、インダクタンスを抑えた高速信号処理を可能とする、高機能な半導体デバイス部品を提供することにも繋がった。

【0045】なお、図4(c)では、部品モジュール側にはんだボールを搭載してから、マザー基板に実装することを想定した図にしているが、マザー基板側にクリームはんだを印刷等でブリコートしてから実装するという手段を用いても良い。以上、本発明を適用した薄型高機能半導体部品モジュールを用いて組み立てられる最終的な電子機器の製品セットにおいても、ICカード、携帯電話、PDA等を初めとする携帯電子機器の更なる高機能化、小型軽薄化の実現に大いに貢献することができた。

【0046】(2)第2実施例

本実施例は、同じく半導体デバイス部品の実装工程に、本願の発明を適用したものであり、パンプ形成後の半導体ウェハの裏面薄型化加工を行なった後、薄型半導体チップをポリイミド基材の薄型フレキシブル中間基板の両面にフリップチップ実装し、更にこれを湾曲させてチップ裏面で接着固定したものを部品モジュールとしてマザー基板に実装した例を、図1～図5を参照しながら説明する。

【0047】本実施例においてサンプルとして使用したシリコンウェハは、第1実施例と同様に、LSIを作り込んだ後、フリップチップ実装用にパンプ電極を予め形成したものである。

【0048】この状態の半導体ウェハを先の実施例と同様に、機械研削と化学的機械研磨を用いて、ウェハ裏面から厚さ約100μmまで薄型化加工を行なった。

【0049】そして次に、この薄型加工したウェハをダイシングして半導体チップを切り出して、ポリイミド等を基材とした厚さ約50μmのフレキシブル中間基板の両面にフリップチップ実装し(図5(a))、更にこの中間基板をチップが実装されていない領域で湾曲させて、チップの裏面同士を絶縁性ペースト等の接着剤で接着固定することにより、半導体チップを4枚搭載した薄型高機能部品モジュールが完成した(図5(b))。

【0050】最後に、こうして作製した薄型高機能部品

モジュールの中間基板の外部接続端子に、約300μmの共晶はんだボールを搭載し、位置合わせの上でマザーのプリント配線基板に実装することにより、図5(c)に示す様に、実装高さを抑えた高密度の積層3次元実装を実現することができた。

【0051】また、本実施例によって作製された半導体デバイスも、半導体チップ間の配線の引き回し長さが従来技術のもの(ワイヤ接続の積層実装等)に比べて極端に短くすることができるため、インダクタンスを抑えた高速信号処理を可能とする、高機能な半導体デバイス部品を提供することに繋がった。更に、本実施例では、先の第1実施例の2倍の個数の半導体チップを搭載することが可能となり、より一層高機能な薄型部品モジュールが完成した。

【0052】以上、本発明を適用した薄型高機能半導体部品モジュールを用いて組み立てられた最終的な電子機器の製品セットにおいても、ICカード、携帯電話、PDA等を初めとする携帯電子機器の更なる高機能化、小型軽薄化の実現に大いに貢献することができた。

【0053】(3)第3実施例

本実施例は、同じく半導体デバイス部品の実装工程に、本願の発明を適用したものであり、パンプ形成後の半導体ウェハの裏面薄型化加工を行なった後、薄型半導体チップをポリイミド基材の薄型フレキシブル中間基板にフリップチップ実装し、更にこれを湾曲させてチップ裏面で接着固定したものを一つの部品モジュールとして、マザー基板に2段積層実装した例を、図1～図6を参照しながら説明する。

【0054】本実施例においてサンプルとして使用したシリコンウェハは、先の実施例と同様に、LSIを作り込んだ後、フリップチップ実装用にパンプ電極を予め形成したものである。この状態の半導体ウェハを先の実施例と同様に、機械研削と化学的機械研磨を用いて、ウェハ裏面から厚さ約100μmまで薄型化加工を行なった。

【0055】そして次に、第1実施例と同様に、この薄型加工したウェハをダイシングして半導体チップを切り出して、ポリイミド等を基材とした厚さ約50μmのフレキシブル中間基板にフリップチップ実装し(図4

(a))、更にこの中間基板をチップが実装されていない領域で湾曲させて、チップの裏面同士を絶縁性ペースト等の接着剤で接着固定することにより、半導体チップを2枚搭載した薄型高機能部品モジュールが完成した(図4(b))。

【0056】最後に、こうして作製した薄型高機能部品モジュールの中間基板の外部接続端子に、約300μmφの共晶はんだボールを搭載し、位置合わせの上でマザーのプリント配線基板上に重ねて実装することにより、図6に示す様に、半導体チップを4枚搭載した、高密度の積層3次元実装を実現することができた。

【0057】また、本実施例によって作製された半導体デバイスも、半導体チップ間の配線の引き回し長さが従来技術のもの（ワイヤ接続の積層実装等）に比べて極端に短くすることができるため、インダクタンスを抑えた高速信号処理を可能とする、高機能な半導体デバイス部品を提供することに繋がった。

【0058】更に、本実施例でも、先の第1実施例の2倍の個数の半導体チップを搭載することが可能となり、より一層高機能な薄型部品モジュールが完成した。

【0059】以上、本発明を適用した薄型高機能半導体部品モジュールを用いて組み立てられた最終的な電子機器の製品セットにおいても、ICカード、携帯電話、PDA等を初めとする携帯電子機器の更なる高機能化、小型軽薄化の実現に大いに貢献することができた。

【0060】（4）第4実施例

本実施例は、同じく半導体デバイス部品の実装工程に、本願の発明を適用したものであり、バンプ形成後の半導体ウェハの裏面薄型化加工を行なった後、薄型半導体チップをポリイミド基材の薄型フレキシブル中間基板の両面にフリップチップ実装し、更にこれを湾曲させてチップ裏面で接着固定したものを一つの部品モジュールとして、マザー基板上に2段積層実装した例を、図1～図7を参照しながら説明する。

【0061】途中までの重複する説明は省略するが、第2実施例と同様に、薄型加工したバンプ付きウェハをダイシングして半導体チップを切り出して、ポリイミド等を基材とした厚さ約50μmのフレキシブル中間基板の両面にフリップチップ実装し（図5（a））、更にこの中間基板をチップが実装されていない領域で湾曲させて、チップの裏面同士を絶縁性ペースト等の接着剤で接着固定することにより、半導体チップを4枚搭載した薄型高機能部品モジュールが完成した（図5（b））。

【0062】最後に、こうして作製した薄型高機能部品モジュールの中間基板の外部接続端子に、約300μmφの共晶はんだボールを搭載し、位置合わせの上でマザーのプリント配線基板上に重ねて実装することにより、図7に示す様に、半導体チップを8枚搭載した、高密度の積層3次元実装を実現することができた。

【0063】また、本実施例によって作製された半導体デバイスも、半導体チップ間の配線の引き回し長さが従来技術のもの（ワイヤ接続の積層実装等）に比べて極端に短くすることができるため、インダクタンスを抑えた高速信号処理を可能とする、高機能な半導体デバイス部品を提供することに繋がった。

【0064】そして更に、本実施例では、前述までの実施例以上の多数の半導体チップを搭載した、極めて高機能な半導体部品モジュールが完成し、これを用いて組み立てられた最終的な電子機器の製品セットにおいても、ICカード、携帯電話、PDA等を初めとする携帯電子機器の更なる高機能化、小型軽薄化の実現に大いに貢献

することができた。

【0065】以上、本発明を4種類の実施例に基づいて説明したが、本発明はこれらの実施例に何ら限定されるものではなく、サンプル構造や使用材料、プロセス処理装置、プロセス処理条件等、発明の主旨を逸脱しない範囲で適宜選択可能であることは言うまでもない。

【0066】なお、前記実施例ではベアチップや中間基板の実装手段として、はんだボールバンプを接合部に用いた実装の例を示したが、それ以外にもAuスタッドバンプ、Cuめっきバンプ、異方性導電膜、導電膜性ペースト等の接合手段を用いた部品実装への適用も可能である。

【0067】

【発明の効果】以上説明したように本発明によれば、半導体デバイス部品の超薄型積層3次元実装を高い信頼性で実現できる様になり、電子機器の製品セットの更なる高機能化と超小型軽薄化に貢献できる。したがって、本発明は、高性能、高信頼性、小型、軽量が要求される今後の半導体デバイス装置の製造に極めて有効である。

20 【図面の簡単な説明】

【図1】はんだボールバンプの製造プロセス例をその工程順に示す概略断面図であり、（a）は、半導体IC上にはんだボールバンプの下地となるBLM膜がバターニングされた状態、（b）は、はんだ蒸着膜をリフトオフによってバターニングするための厚膜レジストパターンが形成された状態、（c）は、ウェハ全面にはんだ蒸着膜が成膜された状態、（d）は、レジストパターンのリフトオフによって、不要なはんだ蒸着膜が除去された状態、（e）は、ウェットバック工程の熱処理によってはんだ膜が溶融し、ボールバンプが形成された状態、をそれぞれ示す。

30 【図2】本発明を適用したシリコンウェハの裏面薄型化加工に用いる機械研削装置（バックグラインダー）の概略図である。

【図3】本発明を適用した薄型化ウェハの仕上げ加工に用いるポリッシュ研磨装置の概略図である。

40 【図4】バンプ付き薄型半導体チップを薄型フレキシブル中間基板にフリップチップ実装して、これをプリント配線基板上に3次元実装した例を示す概略断面図であり、（a）は、薄型加工されたウェハから切り出された薄型半導体チップを薄型フレキシブル中間基板にフリップチップ実装して樹脂封止した状態、（b）は、チップ実装した薄型フレキシブル基板を湾曲させて、チップ裏面で接着固定し、高機能薄型部品モジュールが完成した状態、（c）は、薄型フレキシブル中間基板の外部接続端子に共晶はんだボールを搭載した後、プリント配線基板上に実装し、本発明の薄型積層3次元実装が完成した状態、をそれぞれ示す。

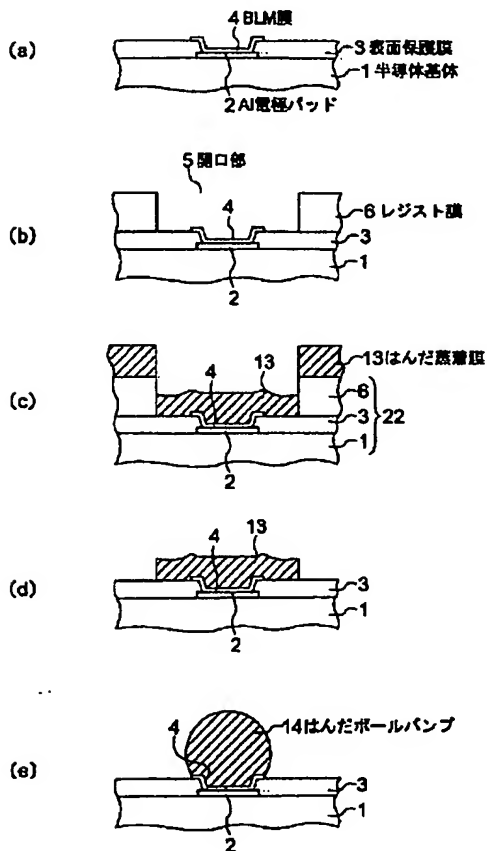
50 【図5】バンプ付き薄型半導体チップを薄型フレキシブル中間基板の両面にフリップチップ実装して、これをプ

プリント配線基板に3次元実装した例を示す概略断面図であり、(a)は、薄型加工されたウェハから切り出された薄型半導体チップを薄型フレキシブル中間基板の両面にフリップチップ実装して樹脂封止した状態、(b)は、両面チップ実装した薄型フレキシブル基板を湾曲させて、チップ裏面で接着固定し、高機能薄型部品モジュールが完成した状態、(c)は、薄型フレキシブル中間基板の外部接続端子に共晶はんだボールを搭載した後、プリント配線基板に実装し、本発明の薄型積層3次元実装が完成した状態、をそれぞれ示す。

【図6】チップ実装した薄型フレキシブル基板を湾曲させ、チップ裏面で接着固定して作製した高機能薄型部品モジュールを、はんだボールを介して重ねてプリント配線基板に2段積層実装した状態を示す。

【図7】両面にチップ実装した薄型フレキシブル基板を湾曲させ、チップ裏面で接着固定して作製した高機能薄

【図1】



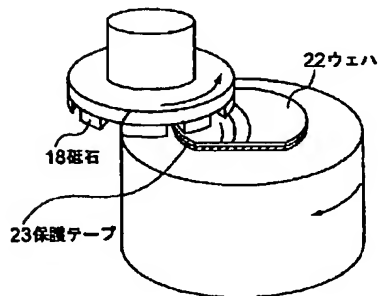
型部品モジュールを、はんだボールを介して重ねてプリント配線基板に2段積層実装した状態を示す。

【図8】従来例の半導体チップの積層実装を示す図である。

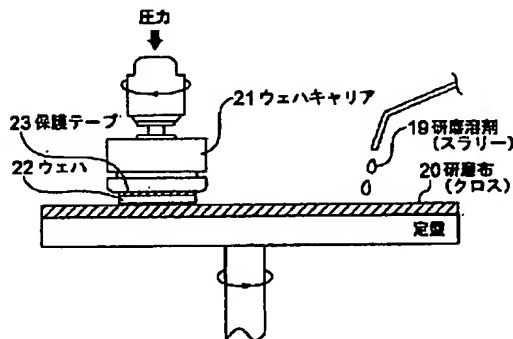
【符号の説明】

1…半導体基体 (LSI)、2…Al電極パッド、3…表面保護膜 (ポリイミド)、4…BLM (Ball Limiting Metal) 膜、5…開口部、6…フォトリソ膜、7…薄型半導体チップ、8…封止樹脂、11…Cuランド、12…共晶はんだボール、13…蒸着金属膜 (はんだ)、14…高融点はんだボールバンプ、15…接着剤 (絶縁性ペースト)、16…プリント配線基板 (マザー基板)、18…砥石、19…研磨剤、20…研磨布、21…ウェハキャリア、22…ウェハ、23…表面保護テープ

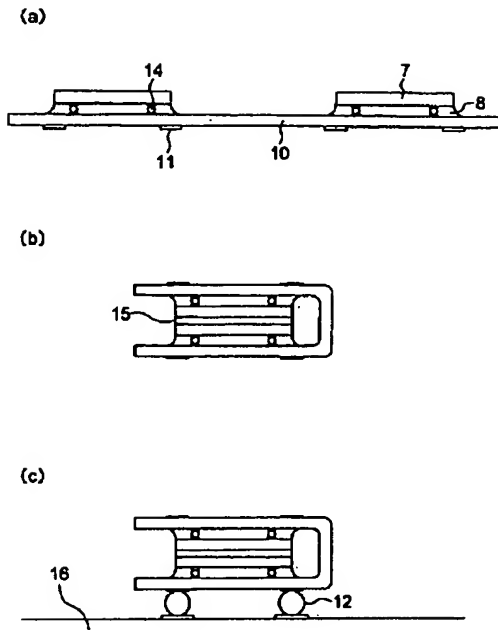
【図2】



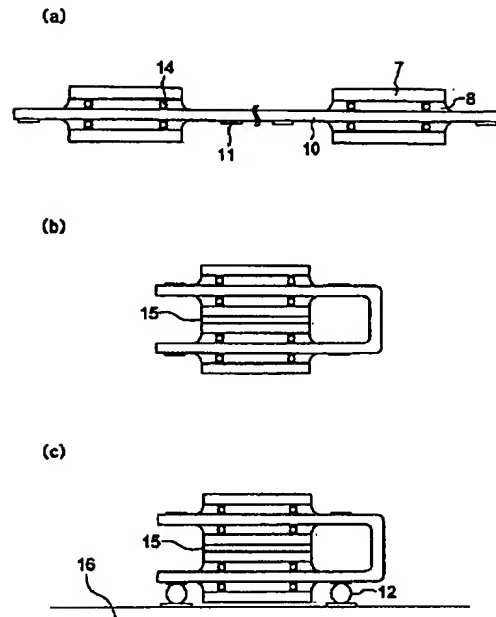
【図3】



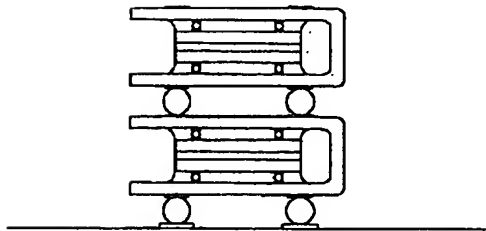
【図 4】



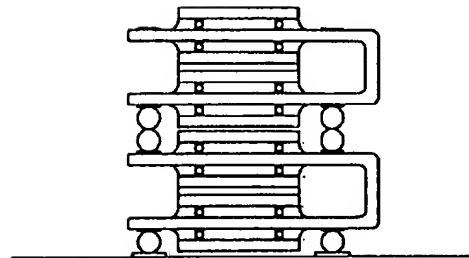
【図 5】



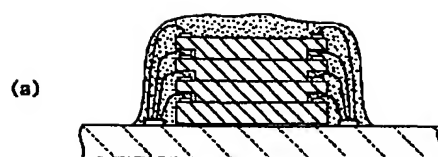
【図 6】



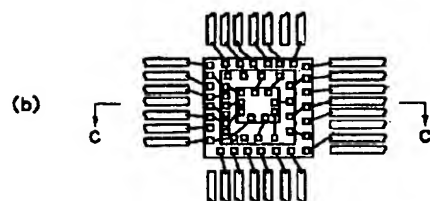
【図 7】



【図8】



(特開平6-244350号)



(特開昭60-84758号)